

10/561426

PCT/JP2004/008623

26.07.2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

REC'D 19 AUG 2004

WIPO

PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2003年 7月31日

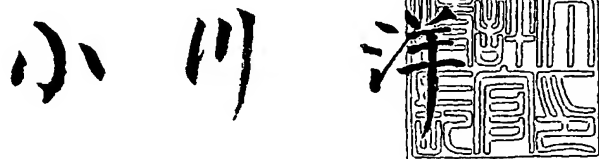
出 願 番 号  
Application Number: 特願2003-284541  
[ST. 10/C]: [JP2003-284541]

出 願 人  
Applicant(s): 株式会社セルクロス

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2004年 7月20日

特許庁長官  
Commissioner,  
Japan Patent Office



出証番号 出証特2004-3062480

【書類名】 特許願  
【整理番号】 Z016-0011  
【提出日】 平成15年 7月31日  
【あて先】 特許庁長官殿  
【国際特許分類】 H03K 21/00  
【発明者】  
    【住所又は居所】 神奈川県川崎市高津区末長 3 2 5 - 2 2   マイキャッスル溝口ヴ  
                                ィレッジ 3 0 3  
    【氏名】 篠田 裕之  
【発明者】  
    【住所又は居所】 東京都立川市富士見町 7 - 1 6 - 1 5  
    【氏名】 箱崎 光弘  
【発明者】  
    【住所又は居所】 神奈川県横浜市保土ヶ谷区天王町 1 - 1 7 - 8   ジョリメゾン 3  
                                0 1 号室  
    【氏名】 湯浅 太刀男  
【特許出願人】  
    【識別番号】 503054096  
    【氏名又は名称】 株式会社セルクロス  
【代理人】  
    【識別番号】 100105924  
    【弁理士】  
    【氏名又は名称】 森下 賢樹  
    【電話番号】 03-3461-3687  
【手数料の表示】  
    【予納台帳番号】 091329  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1

**【書類名】 特許請求の範囲****【請求項 1】**

第一の信号入力端子と第二の信号入力端子とクロック信号入力端子と信号出力端子とを備え、クロック信号入力に同期して前記第一の信号入力と前記第二の信号入力の比較結果を前記信号出力として出力する複数のクロック型信号比較回路と、

前記クロック型信号比較回路と同数以上の異なった種類の位相のクロック信号を発生し、それらクロック信号のそれぞれが前記クロック型信号比較回路のクロック信号入力端子へ接続される多相信号発生回路と、

を備えることを特徴とする信号分割検出回路。

**【請求項 2】**

前記複数のクロック型信号比較回路のそれぞれの信号出力を一種類の信号へ合成する信号合成回路をさらに備えたことを特徴とする請求項 1 に記載の信号分割検出回路。

**【請求項 3】**

前記複数のクロック型信号比較回路の第一の信号入力にはいずれも検出の対象である入力信号が印加され、第二の信号入力にはいずれも比較のための基準信号が印加されることを特徴とする請求項 1 に記載の信号分割検出回路。

**【請求項 4】**

前記多相信号発生回路で発生される多相信号は周波数が同一であることを特徴とする請求項 1 に記載の信号分割検出回路。

**【請求項 5】**

前記多相信号発生回路で発生される多相信号は最も近い位相の信号同士の間隔が略均等であることを特徴とする請求項 1 に記載の信号分割検出回路。

**【請求項 6】**

前記複数のクロック型信号比較回路の第一の信号入力にはいずれも検出の対象である入力信号が印加されるとともに、前記多相信号発生回路で発生される多相信号それぞれ周期を前記入力信号の予想される幅よりも長く設定したことを特徴とする請求項 1 に記載の信号分割検出回路。

【書類名】 明細書

【発明の名称】 信号分割検出回路

【技術分野】

【0001】

本発明は信号検出回路に関する。より具体的には、信号を複数の検出器の協働により検出する回路に関する。本発明は、例えば電気通信を行うための電子回路、特に時間基準信号であるクロックに同期する方式による通信信号の受信のための回路に適用できる。

【背景技術】

【0002】

従来一般的な信号検出回路の動作を図1に、その概略構造を図2にそれぞれ示す。一般的な信号比較回路1、すなわちコンパレータ回路の差動入力端子の一方に入力信号2が、もう一方に基準信号3がそれぞれ印加されている。この信号比較回路1はクロック型信号比較回路であっても、連続比較型信号比較回路であっても良い。前者は、動作のためにクロック信号4を用い、それに同期して入力信号同士と比較動作を行い、その結果を出力する。後者は動作のためにクロック信号入力を必要とせず連続的に入力信号の比較動作を行う。ただし、一般には同一の回路規模や電源消費電力の場合、クロック型信号比較回路の方が信号比較に要する応答時間が短い。以下、動作速度で有利なクロック型信号比較回路を考える。また、ここで説明する外部からの入力信号の振幅は電源電圧と比較して十分な振幅を持たない程度のものである。もし、入力信号の振幅がほぼ電源電圧と等しいのであれば一般のデジタル回路の入力として容易な取り扱いが可能であり、特段の工夫を必要としない。

【0003】

図1及び図2の $V_{in}$ は信号検出の対象となる外部からの入力信号2である。 $V_{th}$ は $V_{in}$ における信号の存在を比較検出するための基準となる基準信号3である。 $CLK$ はクロック型信号比較回路の動作を制御するためのクロック信号4であり、ここではクロック信号4がL値からH値へ変化する立ち上がりの瞬間に $V_{in}$ と $V_{th}$ を比較してその結果を出力信号 $V_{out}$ として出力する。クロック型信号比較回路1のプラス入力が $V_{in}$ にマイナス入力が $V_{th}$ にそれぞれ接続されているので、クロック信号4の立ち上がりの瞬間に、

$V_{in} > V_{th}$  ならば  $V_{out} = H$  値

$V_{in} < V_{th}$  ならば  $V_{out} = L$  値

となる。なお、クロック信号4の立ち上がりの瞬間から出力信号 $V_{out}$ がH値若しくはL値へ安定収束するまでには回路応答時間、すなわち遅延時間 $t_d$ を要する。

【0004】

図1の入力信号 $V_{in}$ は定常状態ではほぼ $V_{SS} = 0V$ であるが、信号が到来した場合には振幅が $E_s$ にまで上昇するものとする。振幅が $V_{th}$ を超える時間の幅はおよそ $T_{in}$ とする。それに対して、クロック信号4の周期は $T_{clk}$ であり、

$T_{clk} < T_{in}$

であるとする。

【0005】

図1はこの条件を満たすが、もし満たさない場合、信号が到来して入力信号 $V_{in}$ が $T_{in}$ の間 $V_{th}$ を超えたとしても、その変化を検出できない可能性があり、不具合が生ずる。入力信号 $V_{in}$ の通信速度が上がり、信号が到来する時間の幅 $T_{in}$ がより小さくなれば、クロック信号4の周期 $T_{clk}$ はさらに短くなる必要がある。もちろん、クロック型信号比較回路1の動作速度もクロック信号4の周波数に追従できなければならない。

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかし、一般に電子回路の動作速度向上には種々の問題が付きまとう。ほとんどの場合、消費電力が増加する。電子回路を搭載した機器は環境への配慮のため、または電池動作

時間という実使用上の事情から、消費電力増は避けたいところであるが、実際には、動作速度の増加の割合よりも消費電力の増加の割合のほうが大きいことが多い。

【0007】

いま、計算機の計算速度向上や通信機器の通信速度向上等を図るために、回路の動作速度を2倍にするとする。単純に回路の負荷容量や寄生容量への充放電速度を2倍にするだけであれば回路の出力電流を2倍にすれば良い。しかし、出力電流を2倍にする場合、電子回路を構成するトランジスタの許容電流容量の増加のために、物理的寸法を2倍以上にする必要がある。すると、物理的寸法を2倍とした回路部分の寄生容量が2倍となり、結局、一種の悪循環が生じ、回路の出力電流は2倍では足らなくなる。その結果、動作速度の増加の割合以上に消費電流の増加の割合が大きくなる。

【0008】

本発明はこうした課題に鑑みてなされたものであり、その目的は、実効的な動作速度またはサンプリング解像度を上げつつ、消費電力を抑制する信号検出回路の提供にある。

【課題を解決するための手段】

【0009】

本発明のある態様は、信号を分割して検出する回路に関する。この信号分割回路は、第一の信号入力端子と第二の信号入力端子とクロック信号入力端子と信号出力端子とを備え、クロック信号入力に同期して前記第一の信号入力と前記第二の信号入力の比較結果を前記信号出力として出力する複数のクロック型信号比較回路と、前記クロック型信号比較回路と同数以上の異なった種類の位相のクロック信号を発生し、それらクロック信号のそれぞれが前記クロック型信号比較回路のクロック信号入力端子へ接続される多相信号発生回路とを備える。

【0010】

前記複数のクロック型信号比較回路の第一の信号入力には、いずれも検出の対象である入力信号が印加され、第二の信号入力には、いずれも比較のための基準信号が印加されてもよい。また、多相信号発生回路で発生される多相信号は周波数が同一であってもよい。別の態様として、多相信号発生回路で発生される多相信号は最も近い位相の信号同士の間隔が略均等であってもよい。これらの態様であれば、回路構成が簡素化できる。前記の信号分割回路はさらに、前記複数のクロック型信号比較回路のそれぞれの信号出力を一種類の信号へ合成する信号合成回路を備えてもよい。さらに、複数のクロック型信号比較回路の第一の信号入力にいずれも検出の対象である入力信号が印加されるとき、多相信号発生回路で発生される多相信号それぞれ周期を入力信号の予想される幅、すなわち、有効期間またはパルス幅よりも長く設定してもよい。この場合、クロック型信号比較回路がひとつでは捕捉できない可能性のある入力信号を、周波数の低い複数のクロック型信号比較回路で捕捉することができる。

【0011】

本発明によれば、信号の検出を複数の複数のクロック型信号比較回路で分割して実施できるため、それぞれのクロック型信号比較回路の動作周波数を抑制することができる。周波数を1/2に落とせば、消費電力は一般に1/2より小さくできるため、効果的である。

【発明の効果】

【0012】

本発明によれば、消費電力を抑制しつつ、信号の検出解像度を高めることができる。

【発明を実施するための最良の形態】

【0013】

まず、実施の形態の概要を説明する。実施の形態の信号分割検出回路は、複数のクロック型信号比較回路をもつ。これらの回路に位相の異なるクロック信号を供給する。このクロック信号は多相信号発生回路で生成する。検出の対象となる信号をクロック型信号比較回路に並列に入力する。その結果、各クロック型信号比較回路は、それぞれ比較的低い周波数によるサンプリングを行うことで信号を検出できる。検出結果は後に信号合成回路で

合成する。以上の構成により、応答時間が遅い信号比較回路を用いても、回路システム全体で対応が可能な入力信号の時間の幅を短くできる。具体的には、応答時間が遅い信号比較回路を複数個準備し、それらをクロックの周期内でほぼ均等に分割して順次動作させることにより、分割された間隔が回路システム全体の実質的な動作時間となる。これにより、実質的に回路システム全体での実効動作速度を向上させることができる。

#### 【0014】

実施の形態では、単純に単相の高速なクロック信号と高速化された信号比較回路を用いる場合に比べ、多相信号発生回路や信号合成回路が追加される。したがって、これらも当然電力を消費する。しかし、回路システム全体の電源消費電力において支配的な信号比較回路を高速化するわけではなく、回路システム全体の動作速度を増加の割合が大きい程、電力面では有利となる。なぜなら、従来通りの応答時間を持つ信号比較回路を複数個用いればそれらの合計の電源消費電力はその個数倍にとどまる一方、既述のごとく、1個のみの信号比較回路の動作速度を向上させる場合には、動作速度の増加の割合よりも電源消費電力の増加の割合の方が大きいためである。

#### 【0015】

図3に実施の形態の動作を、図4に実施の形態の構成をそれぞれ示す。ここでは多相分割の具体的な一例として分割数が3の場合を説明している。よって、クロック型信号比較回路5が3個、多相信号発生回路6より発生されるクロック信号も3種類である。

#### 【0016】

多相信号発生回路6から出力される3種類のクロック信号CLK1、CLK2、CLK3はそれぞれ別々のクロック型信号比較回路5のクロック信号として入力される。クロック信号CLK1、CLK2、CLK3はそれぞれ互いに1/3周期ずつ、つまり位相角120°ずつ均等にずれている。ここでは位相進みの順に、CLK1、CLK2、CLK3とする。クロック信号の周期はいずれも $T_{clk'}$ であり、これは入力信号Vinの時間の幅 $T_{in}$ と比較して、

$$T_{in} < T_{clk'}$$

なる関係をもつ。

#### 【0017】

クロック型信号比較回路5で比較すべき入力信号Vinと基準信号Vthはそれぞれ単一であり、クロック型信号比較回路5の差動入力端子はいずれも並列に接続されている。図3において、CLK1、CLK2、CLK3の立ち上がりはそれぞれ2回、2回、1回あるが、それらのうち、

$$V_{in} < V_{th}$$

となるのは、CLK1については2回の立ち上がり、CLK2については2回目の立ち上がり、CLK3については1回の立ち上がりのときである。そのため、比較結果Vo1は2回とも、Vo2は2回目について、Vo3はいずれのときもL値となる。逆に、

$$V_{in} > V_{th}$$

となるのは、CLK2の1回目の立ち上がりのみで、このときに比較結果Vo2がH値となる。同図には、比較結果Vo1、Vo2、Vo3を信号合成回路7で合成した結果をVout'として示している。クロック型信号比較回路5は、CLKが立ち上がるときにVinをラッチし、CLKがH値の間その値を保持し、CLKがL値に戻ると、つぎのサンプリングのために出力をL値に戻す。そのため、同図でもVout'がCLK2の立ち下がり同期してL値に戻っている。なお、Vout'においては信号の立ち上がり、立下りともtd'だけ応答時間を要しており、同図ではこの応答時間が比較的長くても動作することが模式的に描かれている。

#### 【0018】

実施の形態によれば、クロック型信号比較回路5を動作させるクロック信号の周期 $T_{clk'}$ が入力信号Vinの時間の幅 $T_{in}$ より長いにも拘わらず、信号到来が捕捉できる。但し、確実な捕捉の条件として、最も位相が近いクロック信号同士の位相差の時間 $t_{clk'}$ について、

$$T_{in} > t_{clk}'$$

である必要がある。この実施の形態においては、

$$t_{clk}' = T_{clk}' / 3$$

である。

#### 【0019】

多相信号発生回路6の第一の実施の形態を図5に示す。これはCR構成リング型発振回路であり、一般的なインバータ回路61が5個従属接続され、デジタル回路のクロック発生回路として多用されている。抵抗62と容量63はリング型発振回路の発振周波数を設計するために必要である。リング型発振回路は全体で一周期とみなせるから、複数個従属接続したインバータ回路61の途中から出力CLK1、CLK2、CLK3を取り出せばそれぞれ一周期を位相分割した出力となり得る。クロック信号CLK1、CLK2、CLK3の位相関係を図5中に示す。

#### 【0020】

発振回路を構成するためには帰還回路が負帰還とならなければならないため、リング発振回路は奇数個のインバータ回路61から構成されなければならない。よって図5に示す通り、5個のインバータから3つのクロック信号を取り出す関係上、欠点として、ここで発生された多相信号の位相関係は最も近い互いの位相角が均等にならない。つまり、この多相信号発生回路6で駆動された信号分割検出回路で検出可能な信号の幅 $T_{in}$ は最低、

$$T_{in} > (2/5) T$$

でなければならない。一方、クロック型信号比較回路5の最大応答時間 $t_{clk}'$ は、

$$t_{clk}' < (1/5) T$$

でなければならない。

#### 【0021】

多相信号発生回路6の第二の実施の形態を図6に示す。これは主クロックCLKからDLL (Delay Locked Loop) 回路によって周波数を変えずに複数の位相分割された信号、CLK1、CLK2、CLK3を発生させる。本実施の形態で用いるDLLは一般的な電子回路の教科書、例えば丸善株式会社発行、『アナログCMOS集積回路の設計 応用編』、黒田忠広監訳、692頁で説明されている。DLLを用いて多相信号を発生させた場合、一般に、回路規模や電源消費電力が大きくなる傾向があるが、位相差が正確に揃う利点があり、多相信号発生回路の第一の実施の形態を改善できる。図6の場合、この多相信号発生回路6で駆動された信号分割検出回路で検出可能な信号の幅 $T_{in}$ は、

$$T_{in} = (1/3) T$$

となる。

#### 【0022】

クロック型信号比較回路5の実施の形態を図7に示す。図7に示す回路は一般的な電子回路の教科書、例えば丸善株式会社発行、『デジタルシステム工学 基礎編』、黒田忠広監訳、254頁で説明されている。

#### 【0023】

信号合成回路7の最も簡単な実施の形態は、論理回路のNOR回路でよい。図4に示す回路の場合、3個入力端子を持つNOR回路で良く、図3に示す動作例もその場合に対応する。更に別の実施の形態を図8に示す。信号合成回路の3種類の入力信号がそれぞれ別々のDフリップフロップ回路71に接続され、同一のクロックCLKで駆動されている。そして、3個のDフリップフロップの出力3種類の信号が3個入力のNOR回路72で1個に合成されている。この実施の形態を用いると、複数のクロック型信号比較回路の出力の位相を揃えた上で1個に合成することができる。この実施の形態のDフリップフロップを駆動するクロック信号は3個のクロック型信号比較回路それぞれを駆動しているクロック、CLK1、CLK2、CLK3のいずれであっても、更には別のものであっても良い。例えば、CLK1を用いた場合にはその立ち上がりでDフリップフロップから出力される信号は、

$V_{o1} \cdots CLK1$ のちょうど1周期前の立ち上がりで比較された結果

V<sub>o2</sub>...CLK<sub>2</sub>の最も近い立ち上がりで比較された結果  
V<sub>o3</sub>...CLK<sub>3</sub>の最も近い立ち上がりで比較された結果  
となる。

**【0024】**

本実施の形態のいずれの場合においても、クロック型信号比較回路の数やクロック信号の種類はここで示した3個に限らず、任意の複数個にて適用可能である。MOSFETのバックゲートはソースに接続しても良く、あるいはPチャネル型MOSFETの場合はV<sub>DD</sub>電位に、Nチャネル型MOSFETの場合はV<sub>SS</sub>電位に接続しても良い。また、トランジスタについてもMOSFETに限らず、バイポーラトランジスタ、接合FET等の他の既知の素子を用いてもよく、いずれの場合も本実施の形態の本質から外れるものではない。

**【0025】**

本実施の形態の回路構成において、高電位側、低電位側の関係もこれに限定されるのではなく、構成される電子回路が正常動作する限り、電位関係が逆転される構成であっても良い。また、本実施の形態で示したクロック型信号比較回路、多相信号発生回路、信号合成回路等を含め、本発明にはさまざまな態様があり、それらやそれらの任意の組合せも本発明に含まれることは、当業者には理解されるところである。

**【図面の簡単な説明】****【0026】**

【図1】従来の技術による信号検出回路の動作を説明する図である。

【図2】従来の技術による信号検出回路の概略構造を示す図である。

【図3】実施の形態に係る信号分割検出回路の動作を説明する図である。

【図4】実施の形態に係る信号分割検出回路の概略構造を示す図である。

【図5】多相信号発生回路のひとつの実施の形態に係る具体的構造と動作を示す図である。

【図6】多相信号発生回路の別の実施の形態の具体的構造と動作を示す図である。

【図7】信号比較回路のひとつの実施の形態に係る具体的構造を示す図である。

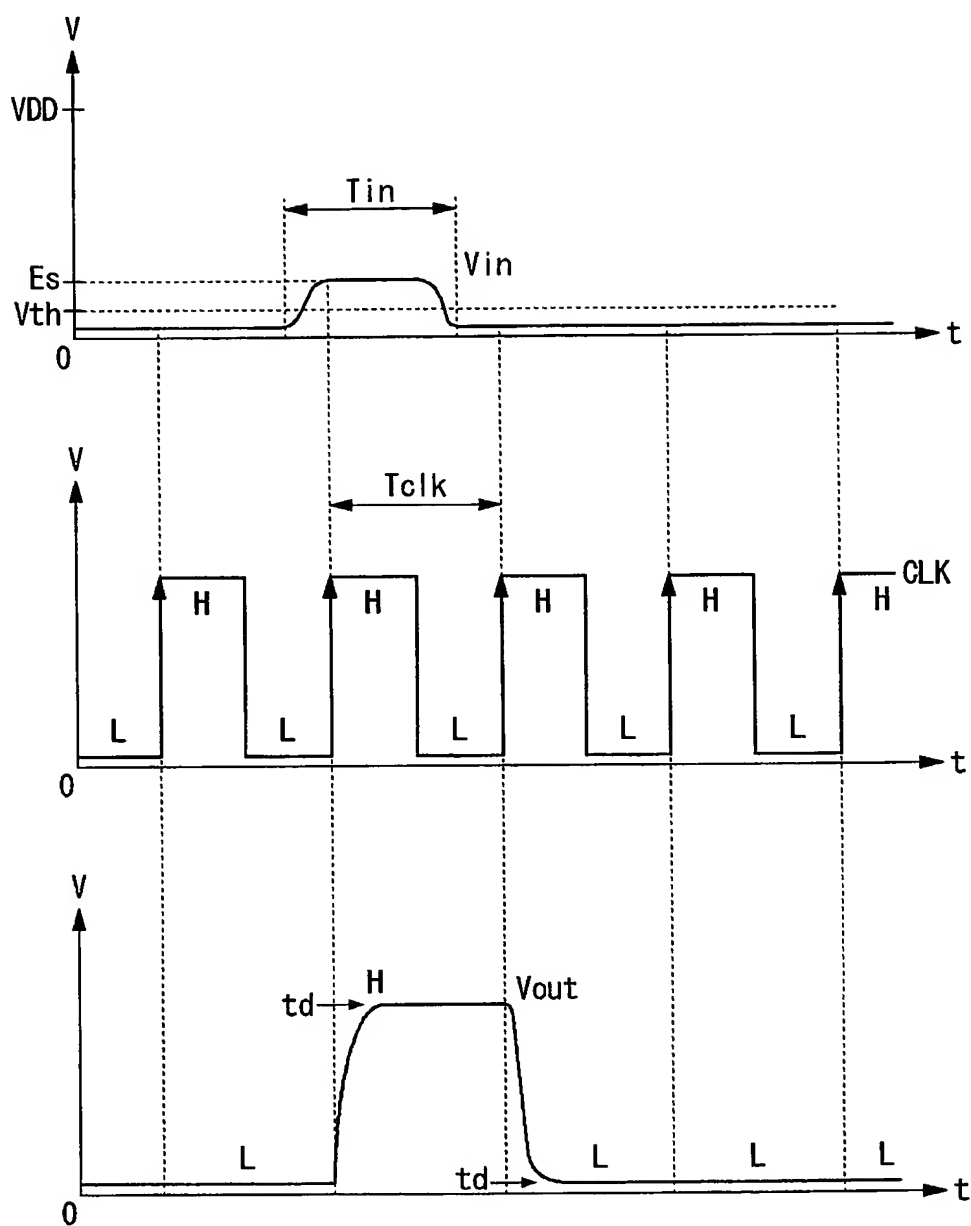
【図8】信号合成回路の別の実施の形態に係る具体的構造を示す図である。

**【符号の説明】****【0027】**

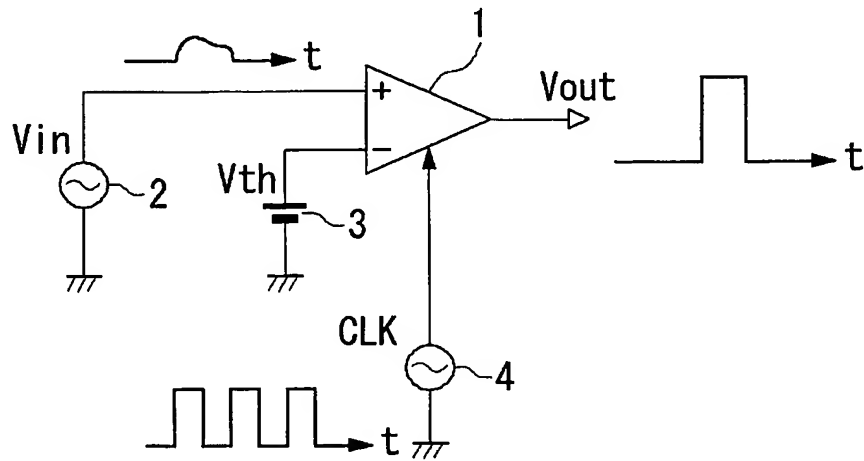
- 1...信号比較回路
- 2...入力信号源
- 3...基準信号源
- 4、64...クロック信号源
- 5...クロック型信号比較回路
- 6...多相信号発生回路
- 7...信号合成回路
- 8...Nチャネル型MOSFET
- 9...Pチャネル型MOSFET
- 61...インバータ回路
- 62...抵抗
- 63...容量
- 65...可変遅延回路
- 66...位相比較回路
- 67...チャージポンプ回路
- 68...LPF
- 71...Dフリップフロップ回路
- 72...NOR回路



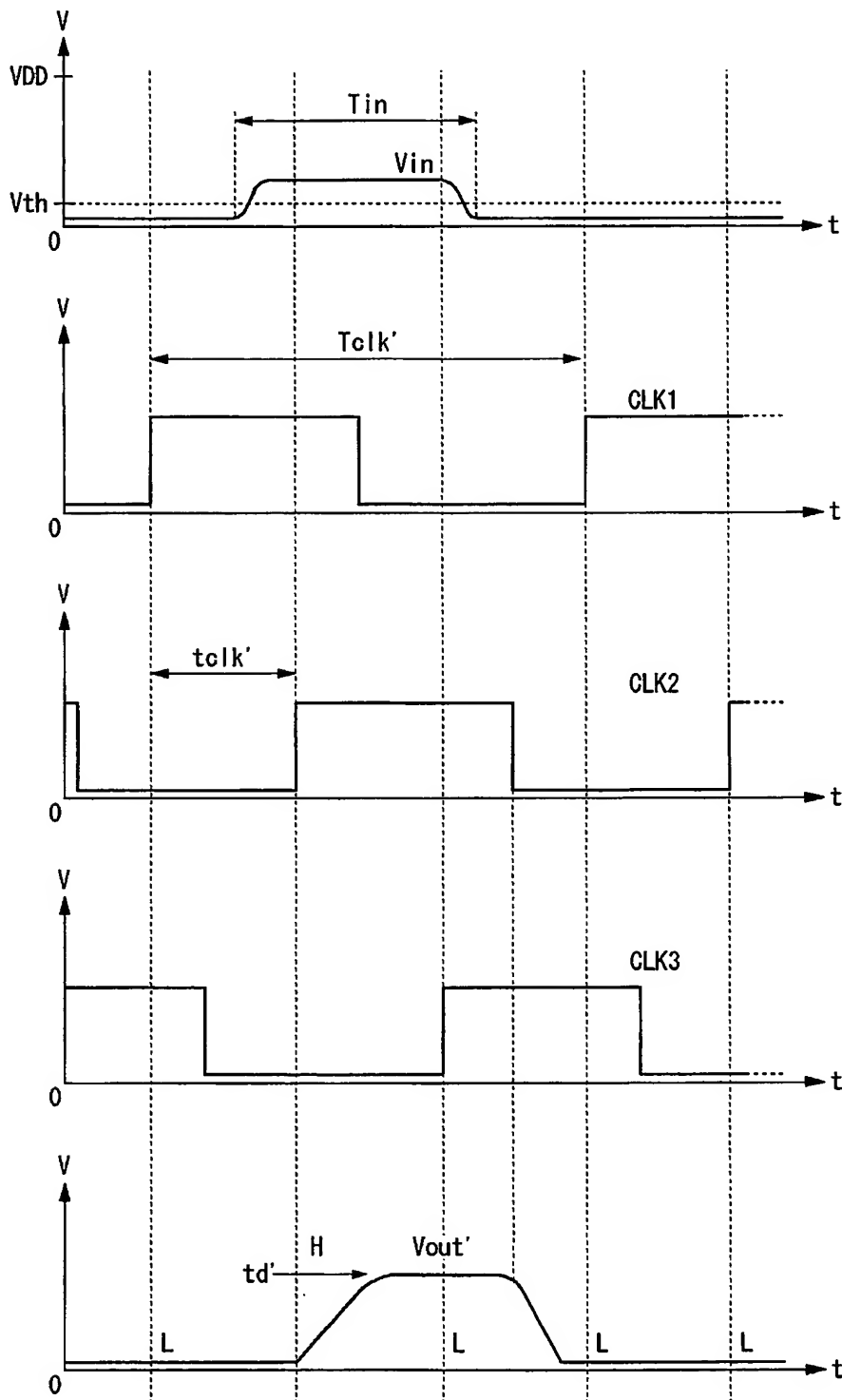
【書類名】 図面  
【図 1】



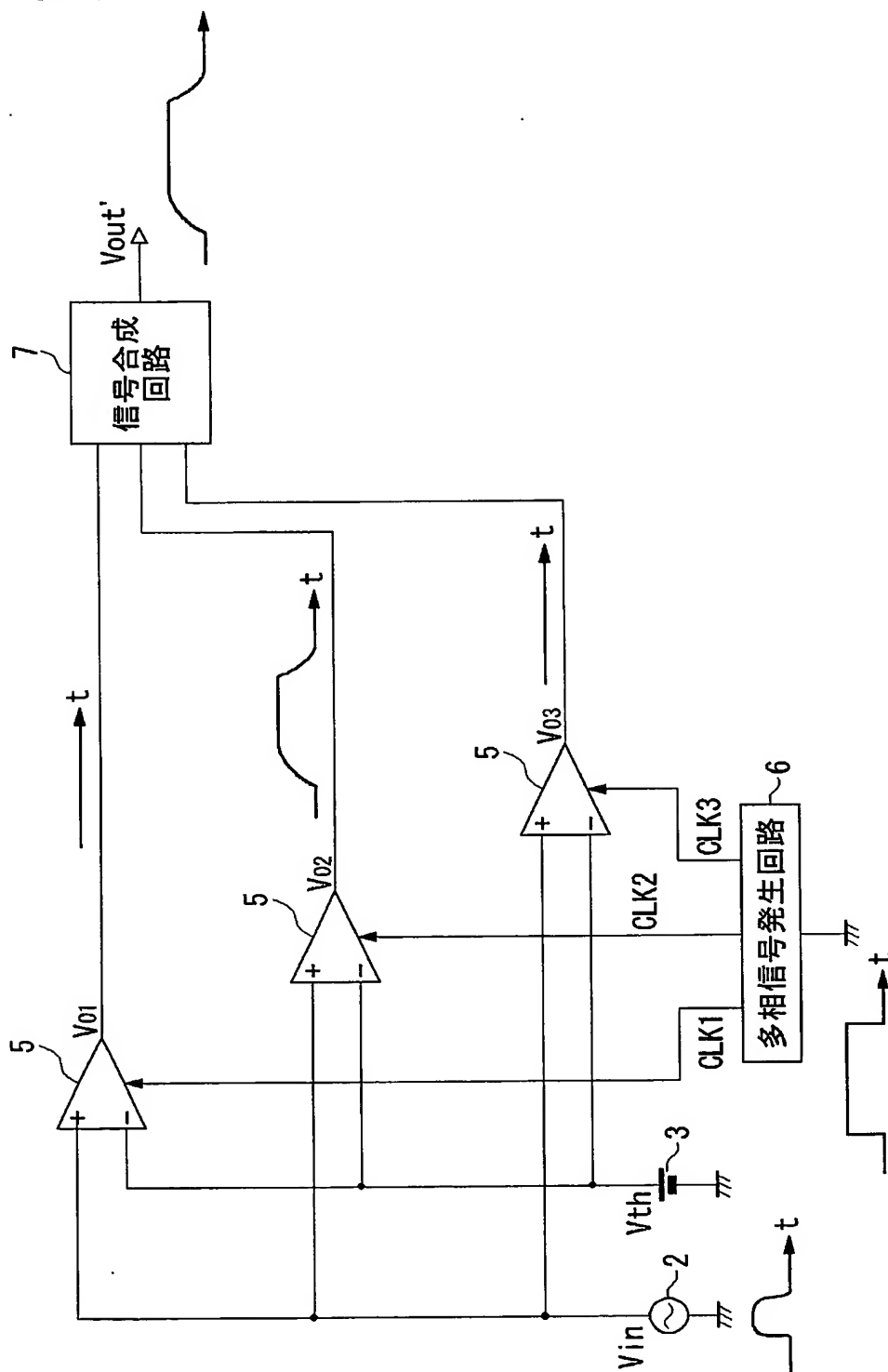
【図 2】



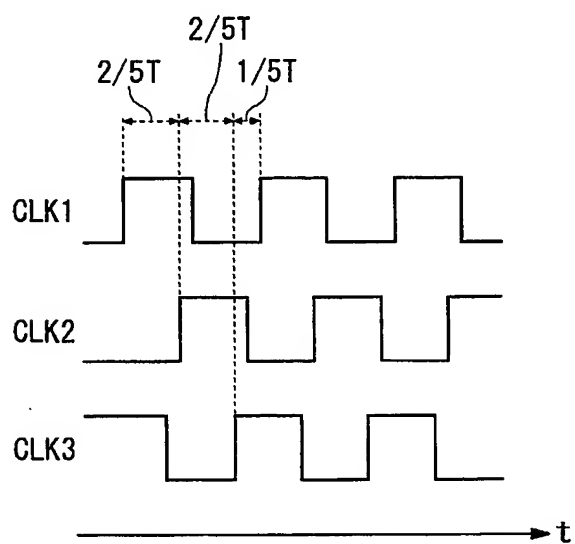
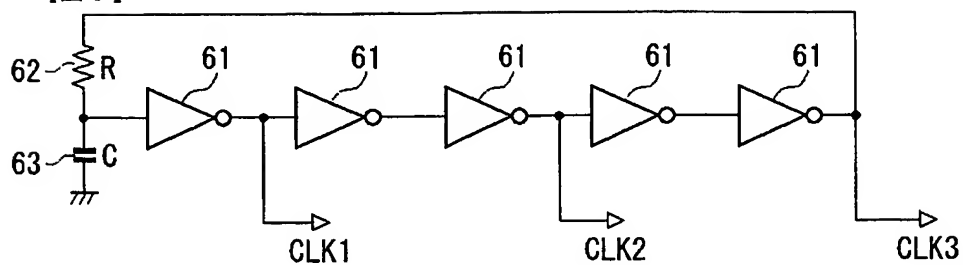
【図 3】



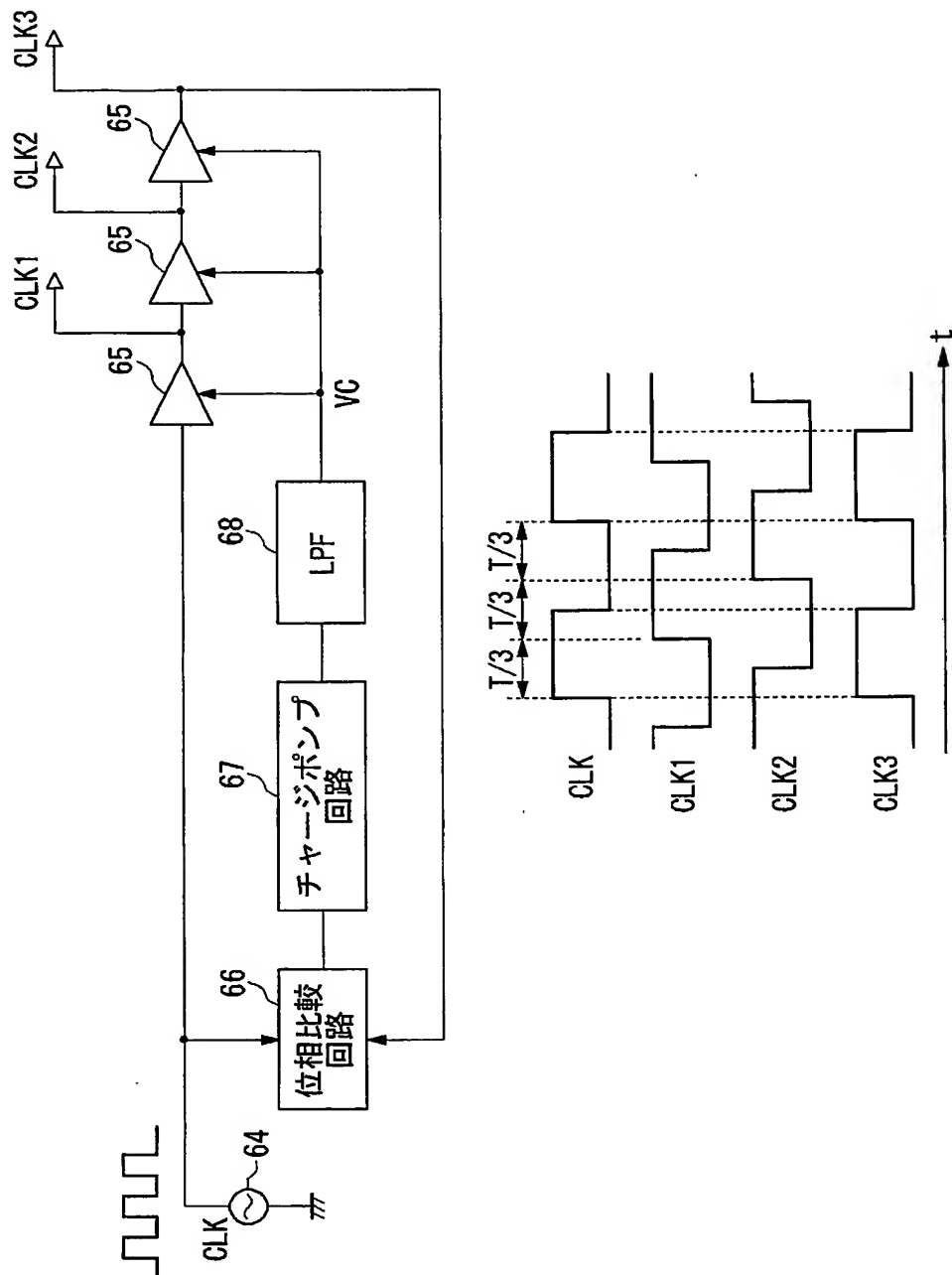
【図 4】



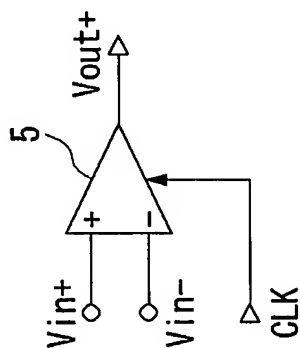
【図 5】



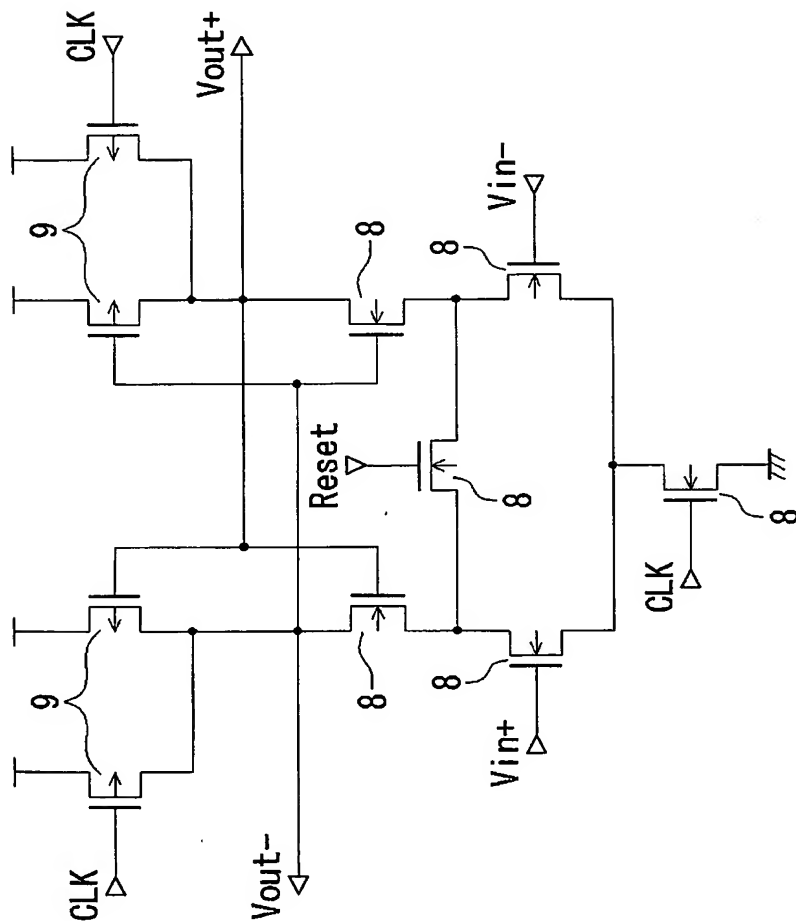
【図 6】



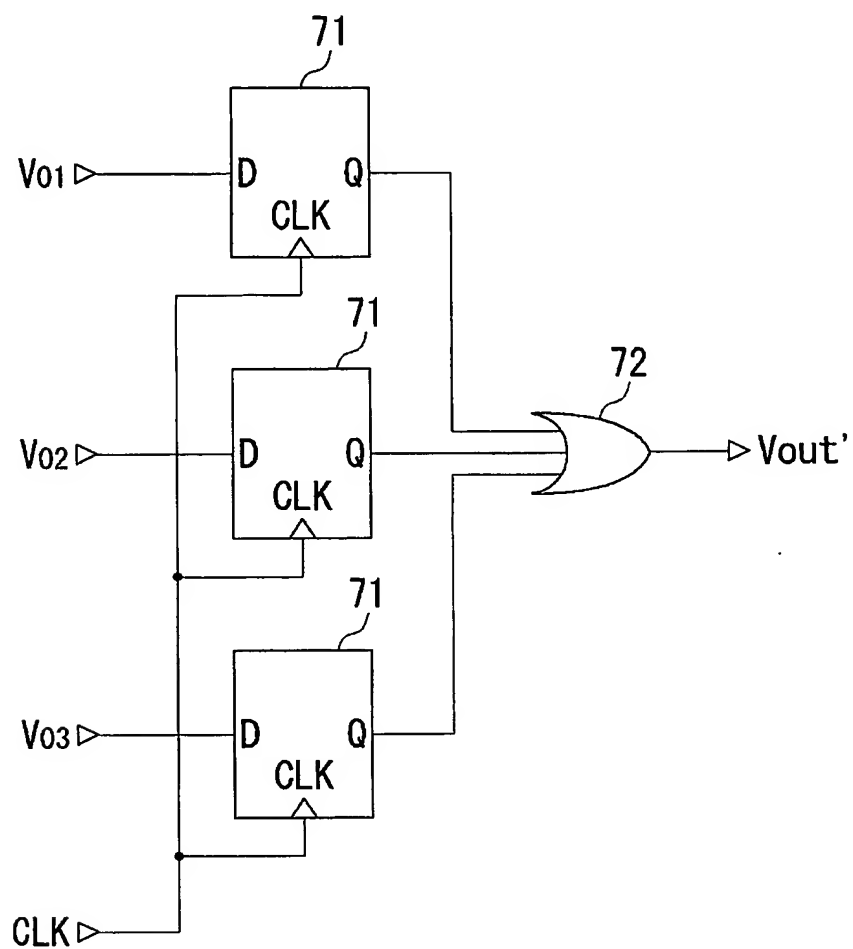
【図 7】



==



【図 8】





## 【書類名】要約書

## 【要約】

【課題】 信号の到来を検出する際、幅の狭い信号を逃さず捉えようとするときサンプリング周波数が高くなり、消費電力が非常に大きくなる。

【解決手段】 入力信号  $V_{in}$  を複数のクロック型信号比較回路 5 へ投入する。クロック型信号比較回路 5 には、それぞれ異なる位相のクロック信号  $CLK1$ 、 $CLK2$ 、 $CLK3$  が入力されている。これらのクロック信号は多相信号発生回路 6 で生成される。各クロック型信号比較回路 5 で検出した信号は信号合成回路 7 で合成され、一本の検出信号となる。クロック型信号比較回路 5 を複数持つことにより、各クロック型信号比較回路 5 のサンプリング周波数を低く抑えることができる。

【選択図】 図 4

特願 2003-284541

出願人履歴情報

識別番号

[503054096]

1. 変更年月日

2003年 2月 7日

[変更理由]

新規登録

住 所

東京都千代田区六番町10-2

氏 名

株式会社セルクロス

2. 変更年月日

2004年 6月 25日

[変更理由]

住所変更

住 所

東京都墨田区亀沢4-14-16

氏 名

株式会社セルクロス

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**